

Architecture de l'ordinateur

5^e édition

Avec près de 300 exercices

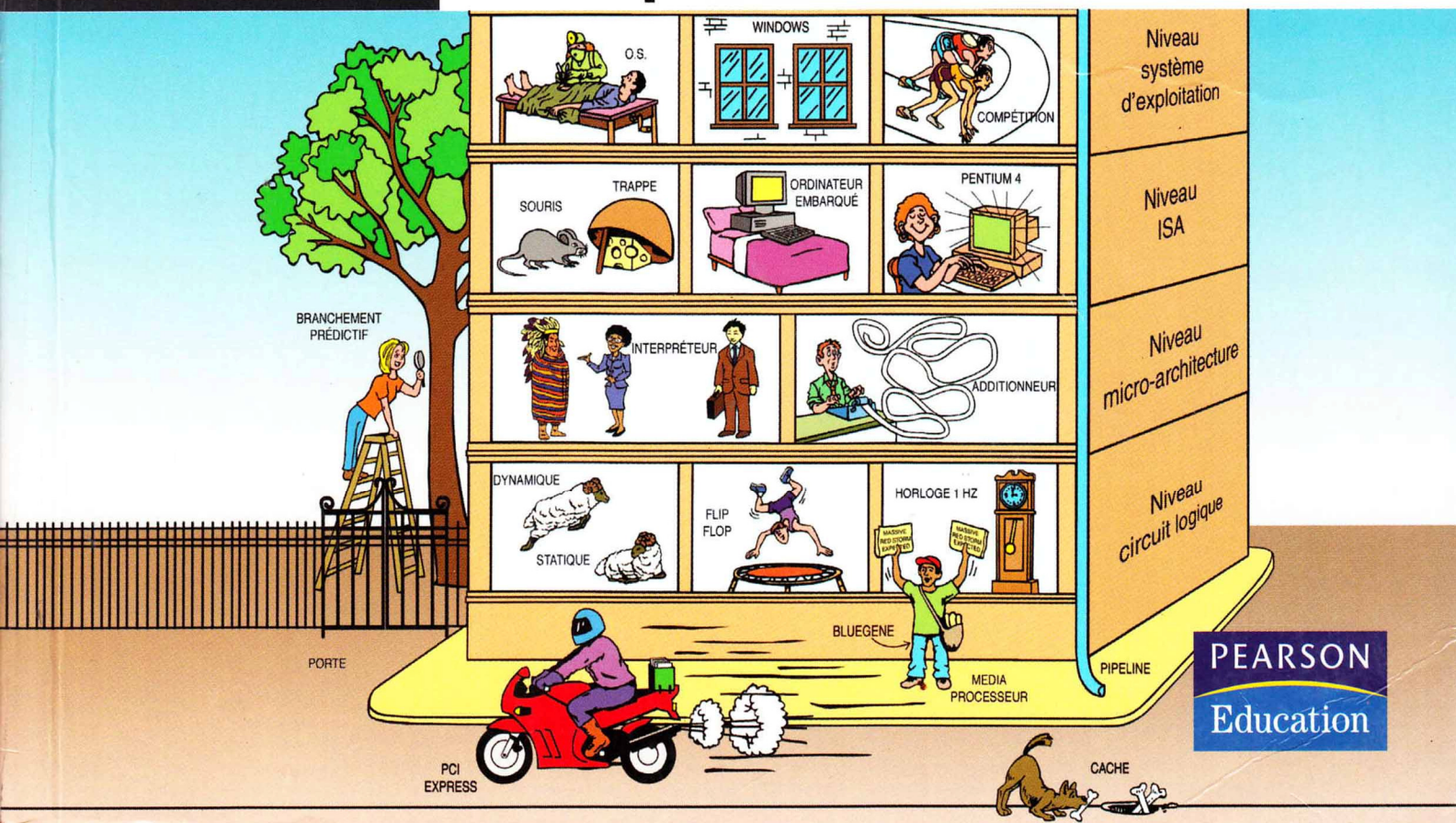


Table des matières

Préface	XIII
1. Introduction	1
1.1 Architecture en couches de l'ordinateur	2
1.1.1 Langages, couches et machines virtuelles	2
1.1.2 Machines multiniveaux actuelles	4
1.1.3 Évolution des machines multiniveaux	8
1.2 Grandes étapes de l'architecture des ordinateurs	13
1.2.1 Génération zéro : les calculateurs mécaniques (1642-1945)	15
1.2.2 Première génération : les tubes à vide (1945-1955)	17
1.2.3 Deuxième génération : les transistors (1955-1965)	20
1.2.4 Troisième génération : les circuits intégrés (1965-1980) ...	22
1.2.5 Quatrième génération : les VSLI (1980-?)	24
1.2.6 Cinquième génération : les ordinateurs invisibles	26
1.3 Le zoo des ordinateurs	27
1.3.1 Forces technologiques et économiques en jeu	27
1.3.2 Différents types d'ordinateurs	29
1.3.3 Ordinateurs jetables	30
1.3.4 Microcontrôleurs	33
1.3.5 Ordinateurs de jeux	34
1.3.6 Micro-ordinateurs	35
1.3.7 Serveurs	36
1.3.8 Réseaux de stations de travail	37
1.3.9 Mainframes	37
1.4 Exemples de familles d'ordinateurs	38
1.4.1 Pentium 4	38
1.4.2 UltraSPARC III	44
1.4.3 8051	46
1.5 Unités métriques	48
1.6 Plan du livre	49
Exercices	51

2. Structure d'un ordinateur	53
2.1 Unité centrale ou processeur	53
2.1.1 Structure de l'unité centrale	54
2.1.2 Exécution d'une instruction	56
2.1.3 RISC contre CISC	60
2.1.4 Principes de conception des ordinateurs modernes	61
2.1.5 Parallélisme au niveau des instructions	63
2.1.6 Parallélisme au niveau du processeur	68
2.2 Mémoire principale	72
2.2.1 Bits	72
2.2.2 Adresses mémoire	73
2.2.3 Ordonnancement des octets	74
2.2.4 Codes correcteurs d'erreurs	76
2.2.5 Mémoire cache	80
2.2.6 Types de mémoires et conditionnements	84
2.3 Mémoires secondaires	84
2.3.1 Hiérarchie des mémoires	85
2.3.2 Disques magnétiques	86
2.3.3 Disquettes	90
2.3.4 Disques IDE, EIDE et ATA	90
2.3.5 Disques SCSI	92
2.3.6 Disques RAID	94
2.3.7 CD-ROM	98
2.3.8 CD enregistrables (ou CD-R)	102
2.3.9 CD réinscriptible (ou CD-RW)	105
2.3.10 DVD	105
2.3.11 Blu-Ray	108
2.4 Entrées/sorties	108
2.4.1 Bus et contrôleur d'entrée/sortie	108
2.4.2 Terminaux claviers/écrans	112
2.4.3 Souris	117
2.4.4 Imprimantes	118
2.4.5 Équipements de télécommunication	125
2.4.6 Appareils photo numériques	133
2.4.7 Codification des caractères	135
Résumé	139
Exercices	140

3. La couche circuits logiques	145
3.1 Portes et algèbre de Boole	145
3.1.1 Portes	146
3.1.2 Algèbre de Boole	148
3.1.3 Implémentation des fonctions booléennes	150
3.1.4 Équivalence des circuits	152
3.2 Circuits logiques de base	156
3.2.1 Circuits intégrés logiques	156
3.2.2 Circuits logiques combinatoires	158
3.2.3 Réseau logique programmable	162
3.2.4 Circuits arithmétiques	163
3.2.5 Horloge	168
3.3 Circuits à mémoire	170
3.3.1 Bascules	170
3.3.2 Registre	175
3.3.3 Organisation de la mémoire	176
3.3.4 Circuits mémoire	180
3.3.5 Mémoires RAM et ROM	183
3.4 Microprocesseurs et bus	186
3.4.1 Microprocesseurs	186
3.4.2 Bus d'ordinateurs	189
3.4.3 Largeur du bus	191
3.4.4 Cadencement des échanges sur le bus	193
3.4.5 Arbitrage du bus	198
3.4.6 Divers modes fonctionnels du bus	201
3.5 Exemples de microprocesseurs	203
3.5.1 Pentium 4	203
3.5.2 UltraSPARC III	210
3.5.3 8051	214
3.6 Exemples de bus	217
3.6.1 Bus ISA	217
3.6.2 Bus PCI	219
3.6.3 Bus PCI Express	227
3.6.4 Bus USB	232

3.7	Technique d'interfaçage	236
3.7.1	Circuits d'E/S	236
3.7.2	Décodage d'adresse	238
	Résumé	241
	Exercices	242
4.	La couche micro-architecture	249
4.1	Un exemple de micro-architecture	249
4.1.1	Chemin des données	250
4.1.2	Micro-instructions	257
4.1.3	Contrôle des micro-instructions	259
4.2	Un exemple de couche ISA : l'IJVM	264
4.2.1	Pile	264
4.2.2	Modèle de mémoire de l'IJVM	266
4.2.3	Jeu d'instructions de l'IJVM	268
4.2.4	Compilation de code Java pour l'IJVM	272
4.3	Un exemple d'implémentation	274
4.3.1	Notation des micro-instructions	274
4.3.2	Implémentation de l'IJVM avec Mic-1	278
4.4.	Conception d'une micro-architecture	291
4.4.1	Performances et coût	292
4.4.2	Réduction du cycle du chemin d'exécution	294
4.4.3	Conception avec recherche anticipée : la micro-architecture Mic-2	301
4.4.4	Conception avec pipeline : la micro-architecture Mic-3 ...	305
4.4.5	Un pipeline à sept étages : la micro-architecture Mic-4 ..	311
4.5	Amélioration des performances	314
4.5.1	Mémoire cache	315
4.5.2	Prédiction de branchement	321
4.5.3	Exécution déséquencée et renommage de registre	326
4.5.4	Exécution anticipée	332
4.6	Exemples de micro-architectures	334
4.6.1	Micro-architecture du processeur Pentium 4	334
4.6.2	Micro-architecture du processeur UltraSPARC III	340
4.6.3	Micro-architecture du processeur 8051	346
4.7	Comparaison des processeurs Pentium, UltraSPARC et 8051	348
	Résumé	350
	Exercices	351

5. La couche ISA	355
5.1 Aperçu de la couche ISA	357
5.1.1 Propriétés	357
5.1.2 Modèles de mémoire	358
5.1.3 Registres	360
5.1.4 Instructions	362
5.1.5 Couche ISA du Pentium 4	362
5.1.6 Couche ISA de l'UltraSPARC III	365
5.1.7 Couche ISA du 8051	368
5.2 Types de données	371
5.2.1 Données numériques	372
5.2.2 Données non numériques	373
5.2.3 Types de données du Pentium 4	374
5.2.4 Types de données de l'UltraSPARC III	374
5.2.5 Types de données du 8051	375
5.3 Formats d'instructions	376
5.3.1 Critères de sélection du format des instructions	377
5.3.2 Codes opération expansifs	379
5.3.3 Formats des instructions du Pentium 4	382
5.3.4 Formats des instructions de l'UltraSPARC III	383
5.3.5 Formats des instructions du 8051	384
5.4 Modes d'adressage	385
5.4.1 Adressage immédiat	386
5.4.2 Adressage direct	386
5.4.3 Adressage par registre	386
5.4.4 Adressage indirect par registre	387
5.4.5 Adressage indexé	388
5.4.6 Adressage indexé basé	390
5.4.7 Adressage par pile	390
5.4.8 Modes d'adressage des instructions de branchement ...	394
5.4.9 Orthogonalité des codes opération et des modes d'adressage	394
5.4.10 Modes d'adressage du Pentium 4	396
5.4.11 Modes d'adressage de l'UltraSPARC III	398
5.4.12 Modes d'adressage du 8051	399
5.4.13 Synthèse	399

5.5	Types d'instructions	401
5.5.1	Instructions de transfert de données	401
5.5.2	Opérations dyadiques	402
5.5.3	Opérations monadiques	403
5.5.4	Branchements conditionnels et comparaisons	405
5.5.5	Instructions d'appel de procédure	407
5.5.6	Instructions de contrôle de boucle	407
5.5.7	Instructions d'entrée/sortie	409
5.5.8	Instructions du Pentium 4	412
5.5.9	Instructions de l'UltraSPARC III	416
5.5.10	Instructions du 8051	420
5.5.11	Synthèse	422
5.6	Flux de commande	424
5.6.1	Flux de commande séquentiel et branchements	424
5.6.2	Procédures	425
5.6.3	Coroutines	429
5.6.4	Déroutements	432
5.6.5	Interruptions	433
5.7	Exemples de programmes en langage d'assemblage : les tours de Hanoi	437
5.7.1	Solution pour le Pentium 4	437
5.7.2	Solution pour l'UltraSPARC III	438
5.8	Architectures Intel IA-64 et Itanium 2	440
5.8.1	Défauts du Pentium 4	442
5.8.2	Modèle EPIC de l'IA-64	443
5.8.3	Limitation des références à la mémoire	444
5.8.4	Ordonnancement des instructions	445
5.8.5	Limitation des branchements conditionnels : la prédiction	446
5.8.6	Chargement anticipé	449
	Résumé	450
	Exercices	451
6.	La couche système d'exploitation	457
6.1	Mémoire virtuelle	458
6.1.1	Pagination	459
6.1.2	Implémentation de la pagination	461
6.1.3	Pagination à la demande et espace de travail	464

6.1.4	Règles de remplacement de pages	466
6.1.5	Taille de page et fragmentation	468
6.1.6	Segmentation	469
6.1.7	Implémentation de la segmentation	472
6.1.8	Mémoire virtuelle du Pentium 4	475
6.1.9	Mémoire virtuelle de l'UltraSPARC III	480
6.1.10	Mémoire virtuelle et mémoire cache	483
6.2	Instructions d'entrée/sortie virtuelles	484
6.2.1	Fichiers	484
6.2.2	Implémentation des instructions d'E/S virtuelles	486
6.2.3	Instructions de gestion de répertoire	489
6.3	Les instructions virtuelles dans le traitement parallèle	490
6.3.1	Création de processus	492
6.3.2	Synchronisation	492
6.3.3	Synchronisation de processus à l'aide de sémaphores ..	496
6.4	Exemples de systèmes d'exploitation	500
6.4.1	Introduction	500
6.4.2	Exemples de mémoire virtuelle	509
6.4.3	Exemples d'E/S virtuelles	512
6.4.4	Exemples de gestion de processus	524
	Résumé	531
	Exercices	532
7.	La couche langage d'assemblage	539
7.1	Introduction au langage d'assemblage	540
7.1.1	Qu'est-ce qu'un langage d'assemblage ?	540
7.1.2	Pourquoi utiliser un langage d'assemblage ?	541
7.1.3	Format d'une instruction en langage d'assemblage	543
7.1.4	Pseudo-instructions	547
7.2	Les macros	550
7.2.1	Définition, appel et expansion de macros	550
7.2.2	Macros avec paramètres	552
7.2.3	Propriétés avancées	553
7.2.4	Implémentation des macros	553
7.3	Le processus d'assemblage	554
7.3.1	Assembleurs à deux passes	554
7.3.2	Première passe	555

7.3.3	Deuxième passe	560
7.3.4	Table des symboles	561
7.4	Édition de liens et chargement	562
7.4.1	Tâches effectuées par l'éditeur de liens	564
7.4.2	Structure d'un module objet	567
7.4.3	Translation dynamique	568
7.4.4	Édition de liens dynamique	571
	Résumé	575
	Exercices	576

8.	Architectures des ordinateurs parallèles	579
8.1	Parallélisme au niveau du circuit	580
8.1.1	Parallélisme au niveau instruction	581
8.1.2	Multithreading au niveau processeur	589
8.1.3	Multiprocesseurs monochip	595
8.2	Coprocesseurs	601
8.2.1	Processeurs réseau	602
8.2.2	Processeurs média	610
8.2.3	Cryptoprocesseurs	617
8.3	Multiprocesseurs à mémoire partagée	617
8.3.1	Multiprocesseurs et multi-ordinateurs	617
8.3.2	Sémantique d'accès à la mémoire	625
8.3.3	Architectures des multiprocesseurs symétriques UMA ..	630
8.3.4	Multiprocesseurs NUMA	639
8.3.5	Multiprocesseurs COMA	648
8.4	Multi-ordinateurs à transfert de messages	650
8.4.1	Réseaux d'interconnexion	651
8.4.2	MPP (processeurs massivement parallèles)	655
8.4.3	COW (grappes de stations de travail)	665
8.4.4	Logiciels de communication pour les multi-ordinateurs ..	671
8.4.5	Ordonnancement	674
8.4.6	Mémoire partagée au niveau de l'application	675
8.4.7	Performance	682
8.5	Traitement en grille	688
	Résumé	691
	Exercices	692

A. Numération binaire	697
A.1 Nombres en précision finie	697
A.2 Représentation des nombres	699
A.3 Conversion d'une base à une autre	702
A.4 Les nombres négatifs	704
A.5 L'arithmétique binaire	706
Exercices	707
B. Nombres en virgule flottante	709
B.1 La notation en virgule flottante	709
B.2 La norme de représentation en virgule flottante IEEE 754	713
Exercices	716
Bibliographie	719
Index	723